

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329780

(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/768
H01L 21/8238
H01L 27/092

(21)Application number : 2001-131941

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2001

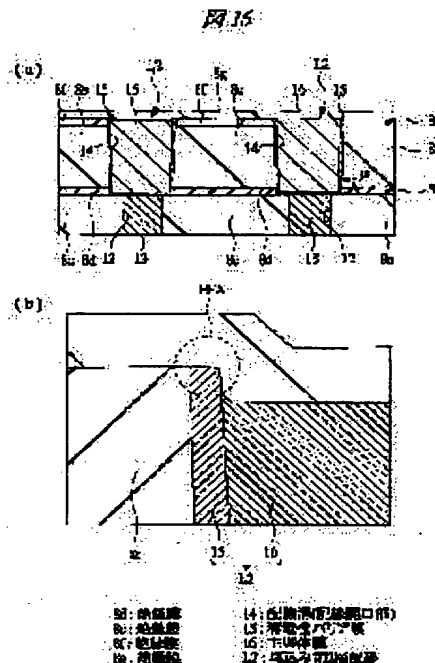
(72)Inventor : NOGUCHI JUNJI
MARUYAMA HIROYUKI
OHASHI TADASHI

(54) FABRICATION METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve insulation break down resistance between wirings having copper as the main conductive layer.

SOLUTION: A buried wiring structure when the electric field concentrates in the upper portion has the main component of copper separated from the polished face of the insulation film of the circumference when the electric field concentrates in the upper portion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P) (12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-329780
(P2002-329780A)
平成14年11月15日(2002.11.15)

(51)IntCl. ⁷ H01L 21/768 21/8238 27/062	F I H01L 21/90 27/08 3 2 1 F 5 F 0 4 8	チヨウド(参考) B 5 F 0 3 3 5 F 0 4 8
特許請求 未請求	請求項の数34	OL (全 30 頁)

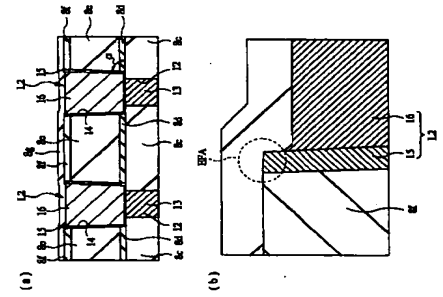
(21)出願番号 特願2001-131941(P2001-131941)	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田區南台四丁目6番地
(22)出願日 平成13年4月27日(2001.4.27)	(72)発明者 野口 純司 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内 丸山 裕之 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内 (74)代理人 100080001 弁理士 筒井 大和

(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【課題】 銅を主導電層とする配線間の絶縁破壊耐性を向上させる。
【解決手段】 銅を主成分とする埋込み配線の上層において電界が集中する箇所が、その周囲の絶縁膜の研削面から離間するようなる埋込み配線構造とした。

図16



11:絶縁膜
12:絶縁膜
13:絶縁膜
14:埋込み配線
15:絶縁膜
16:絶縁膜
17:絶縁膜
18:絶縁膜
19:絶縁膜
20:絶縁膜
21:絶縁膜
22:絶縁膜
23:絶縁膜
24:絶縁膜
25:絶縁膜
26:絶縁膜
27:絶縁膜
28:絶縁膜
29:絶縁膜
30:絶縁膜
31:絶縁膜
32:絶縁膜
33:絶縁膜
34:絶縁膜
35:絶縁膜
36:絶縁膜
37:絶縁膜
38:絶縁膜
39:絶縁膜
40:絶縁膜
41:絶縁膜
42:絶縁膜
43:絶縁膜
44:絶縁膜
45:絶縁膜
46:絶縁膜
47:絶縁膜
48:絶縁膜
49:絶縁膜
50:絶縁膜
51:絶縁膜
52:絶縁膜
53:絶縁膜
54:絶縁膜
55:絶縁膜
56:絶縁膜
57:絶縁膜
58:絶縁膜
59:絶縁膜
60:絶縁膜
61:絶縁膜
62:絶縁膜
63:絶縁膜
64:絶縁膜
65:絶縁膜
66:絶縁膜
67:絶縁膜
68:絶縁膜
69:絶縁膜
70:絶縁膜
71:絶縁膜
72:絶縁膜
73:絶縁膜
74:絶縁膜
75:絶縁膜
76:絶縁膜
77:絶縁膜
78:絶縁膜
79:絶縁膜
80:絶縁膜
81:絶縁膜
82:絶縁膜
83:絶縁膜
84:絶縁膜
85:絶縁膜
86:絶縁膜
87:絶縁膜
88:絶縁膜
89:絶縁膜
90:絶縁膜
91:絶縁膜
92:絶縁膜
93:絶縁膜
94:絶縁膜
95:絶縁膜
96:絶縁膜
97:絶縁膜
98:絶縁膜
99:絶縁膜
100:絶縁膜

【特許請求の範囲】

【請求項1】 以下の工程を有することを特徴とする半導体装置の製造方法:

- (a) 半導体基板の主面上に第1の絶縁膜を堆積する工程、
- (b) 前記第1の絶縁膜に配線開口部を形成する工程、
- (c) 前記第1の絶縁膜の絶縁膜の上面に対して段差が生じるようなる上面の高さを持ち、銅を主成分として含む配線を形成する工程、
- (d) 前記第1の絶縁膜および前記配線の上に第2の絶縁膜を堆積する工程。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

前記配線形成用の第1、第2の導体膜を研削することに より、前記配線開口部内に配線を形成する工程、

前記配線の上層が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上層を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、前記配線開口部内を含む前記第1の絶縁膜上に、配線形成用の第1の導体膜および銅を主成分とする配線形成用の第2の導体膜を順に堆積する工程、

前記配線形成用の第1、第2の導体膜を研削することにより、前記配線開口部内に配線を形成する工程、

前記配線の上層が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上層を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

前記銅を主成分とする配線形成用の導体膜を研削することにより、前記配線開口部に配線を形成する工程、

前記配線の上層が、前記第1の絶縁膜の上面よりも低くなるように、前記配線の上層を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、

前記(c)工程は、前記配線開口部内を含む前記第1の絶縁膜上に、銅を主成分とする配線形成用の導体膜を堆積する工程、

前記銅を主成分とする配線形成用の導体膜を研削することにより、前記配線開口部に配線を形成する工程、

前記配線の上層が、前記第1の絶縁膜の上面よりも高くなるように、前記第1の絶縁膜の上層を選択的にエッチング除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対して水素ガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1記載の半導体装置の製造方法において、

前記(c)工程後、前記(d)工程の前に、前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程、

前記半導体基板に対してアンモニアガス雰囲気中においてプラズマ処理を施す工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、前記水素ガスプラズマおよびアンモニアガスプラズマ処理の後、大気開放せずに連続して、前記第1の絶縁膜および前記配線の上に、前記第2の絶縁膜を堆積することを特徴とする半導体装置の製造方法。

【請求項10】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率な絶縁膜からなることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1記載の半導体装置の製造方法において、前記第1の絶縁膜は、低誘電率材料からなる絶縁膜上にキヤップ用の絶縁膜を積み重ねてなることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記キヤップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、前記キヤップ用の絶縁膜は、酸化シリコン膜、炭素化シリコン膜またはトリメトキシシランガスを含有した酸化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1記載の半導体装置の製造方法において、前記第2の絶縁膜は、銅の拡散を抑制または

防止する性質を有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、前記第2の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲルを用いた炭化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項16】 以下の構成を有することを特徴とする半導体装置；

(a) 第1の絶縁膜に形成された配線開口部、(b) 前記配線開口部内に埋め込まれるように設けられ、前記第1の絶縁膜の上面に対して微差が生じるような上面の高さを持ち、銅を主成分として含む配線、(c) 前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜の上面高さが、前記第1の絶縁膜の上面高さより低いことを特徴とする半導体装置。

【請求項17】 請求項16記載の半導体装置において、前記配線の上面高さが、前記第1の絶縁膜の上面高さよりも高いことを特徴とする半導体装置。

【請求項18】 請求項16記載の半導体装置において、前記配線は、銅を主成分とする配線形成用の半導体膜からなることを特徴とする半導体装置。

【請求項19】 請求項16記載の半導体装置において、前記配線は、配線形成用の第1の半導体膜と、これよりも相対的に厚く前記配線開口部内に埋め込まれた銅を主成分とする配線形成用の第2の半導体膜とを有することを特徴とする半導体装置。

【請求項20】 請求項16記載の半導体装置において、前記配線は、銅を主成分とする配線形成用の半導体膜からなることを特徴とする半導体装置。

【請求項21】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率半導体膜からなることを特徴とする半導体装置。

【請求項22】 請求項16記載の半導体装置において、前記第1の絶縁膜は、低誘電率半導体膜からなることを特徴とする半導体装置。

【請求項23】 請求項22記載の半導体装置において、前記キャップ用の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、前記キャップ用の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲルを用いた炭化シリコン膜からなることを特徴とする半導体装置。

【請求項25】 請求項16記載の半導体装置において、前記第2の絶縁膜は、銅の拡散を抑制または防止する性質を有することを特徴とする半導体装置。

【請求項26】 請求項25記載の半導体装置において、前記第2の絶縁膜は、炭化シリコン膜、炭素化シリコン膜またはトリメトキシランゲルを用いた炭化シリコン膜からなることを特徴とする半導体装置。

【請求項27】 第1の絶縁膜に形成された配線開口部、前記配線開口部内に埋め込まれるように設けられた銅を主成分として含む配線、前記第1の絶縁膜および前記配線に設けられた第2の絶縁膜を有し、前記配線において電界が集中する角部を、その周囲の前記第1の絶縁膜の上面から離間させたことを特徴とする半導体装置。

デュアルダマジン (Dual-Damascene) 法とに大別できる。シングルダマジン法は、例えば絶縁膜に配線溝を形成した後、その絶縁膜および配線溝内に配線形成用の半導体電層を堆積し、さらに、その半導体電層を、例えば化学的機械的研磨法 (CMP; Chemical Mechanical Polishing) によって配線溝内に埋込み配線を形成するように研磨することにより、配線溝内に埋込み配線を形成する方法である。

また、デュアルダマジン法は、絶縁膜に配線溝および下層配線との接続を行うための孔を形成した後、その絶縁膜上、配線溝および孔内に配線形成用の半導体電層を堆積し、さらに、その半導体電層をCMP等によって配線溝および孔内に埋込まれるように研磨することにより、配線溝および孔内に埋込み配線を形成する方法である。いずれの方法においても、配線の半導体材料としては、半導体装置の性能を向上させる観点等から、例えば銅等のような低抵抗材料が使用される。銅はアルミニウムよりも低抵抗で信頼性における許容電流が約1.5倍大きいという利点を持ち、同じ配線抵抗を得るのに膜を薄くすることができる。しかし、銅は、例えばアルミニウム等のような金属と比較して絶縁膜中に拡散され易いといわれる。このため、銅を配線材料として用いる場合、銅からなる半導体装置の表面 (底面および側面)、すなわち、配線溝の内壁 (側面および底面) に、銅の拡散を防止するための薄い導電性バリア膜を形成する必要があるとされる。また、配線溝が形成された絶縁膜の上面に、例えば炭化シリコン膜等からなるキャップ膜を堆積することにより、埋込み配線中の銅が、埋込み配線の上面から絶縁膜中に拡散することを防止する技術がある。

【発明が解決しようとする課題】 ところが、本発明者らの検討結果によれば、上記銅を主導体層とする埋込み配線技術においては、以下の課題があることを見出し、

【0004】 すなわち、銅を配線材料に用いた場合、TDDDB (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁膜の時間的依存性を客観的に計る尺度であって、所定の温度 (例えば140°C) の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電圧に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度 (例えば0.2MV/cm) に外挿して求めた時間 (寿命) をいう。

【0014】 図1は、本発明のTDDDB寿命測定に使用した試料を示し、図1(a)は平面図、図1(b)および図1(c)は図1(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は銅線にはウエハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の銅配線1、2に各々接続する。この銅配線1、2間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0015】 図2は、測定の概要を示した説明図である。試料は測定ステーションSに保持され、パッドP1、P2間に電圧印加測定器 (1/V測定器) を接続する。測定ステーションSはヒータHで加熱され試料温度が140°Cに調整される。TDDDB寿命測定は定電圧ストレス法に調整される。TDDDB寿命測定は定電圧ストレス法に調整される。

【0016】 図3は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0017】 図4は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0018】 図5は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0019】 図6は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0020】 図7は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0021】 図8は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0022】 図9は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

なるであらう。

【0007】 【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの特徴を簡単に説明すれば、次のとおりである。

【0008】 すなわち、本発明は、銅を主導体層として含む配線において電界が集中する角部を、その周囲の絶縁膜の研磨面から離間させるものである。

【0009】 また、本発明は、銅を主導体層として含む配線の上部角の高さを、その配線が形成される絶縁膜と、その配線を覆うように絶縁膜上に設けられた他の絶縁膜との界面の高さに対して上または下方向にずらすものである。

【0010】 また、本発明は、銅を主導体層として含む配線が形成される絶縁膜であって、その配線を覆うように絶縁膜上に設けられた他の絶縁膜と接する界面部分に、銅の拡散を抑制または防止する性質を有する絶縁膜を設けたものである。

【0011】 また、本発明は、銅を主導体層として含む埋込み配線の絶縁膜において、少なくとも埋込み配線の上面に接続される絶縁膜界面に接する部分に、銅の拡散を抑制または防止する性質を有する絶縁膜が配線されるように絶縁膜を構成したものである。

【0012】 【発明の実施の形態】 本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0013】 TDDDB (Time Dependence on Dielectric Breakdown) 寿命とは、絶縁膜の時間的依存性を客観的に計る尺度であって、所定の温度 (例えば140°C) の測定条件下で電極間に比較的高い電圧を加え、電圧印加から絶縁破壊までの時間を印加電圧に対してプロットしたグラフを作成し、このグラフから実際の使用電界強度 (例えば0.2MV/cm) に外挿して求めた時間 (寿命) をいう。

【0014】 図1は、本発明のTDDDB寿命測定に使用した試料を示し、図1(a)は平面図、図1(b)および図1(c)は図1(a)におけるB-B'線断面およびC-C'線断面を各々示す。この試料は銅線にはウエハのTEG (Test Equipment Group) 領域に形成できる。図示するように一対の銅配線1、2に各々接続する。この銅配線1、2間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0015】 図2は、測定の概要を示した説明図である。試料は測定ステーションSに保持され、パッドP1、P2間に電圧印加測定器 (1/V測定器) を接続する。測定ステーションSはヒータHで加熱され試料温度が140°Cに調整される。TDDDB寿命測定は定電圧ストレス法に調整される。TDDDB寿命測定は定電圧ストレス法に調整される。

【0016】 図3は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0017】 図4は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0018】 図5は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0019】 図6は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0020】 図7は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0021】 図8は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

【0022】 図9は、銅を主導体層とする埋込み配線の断面を示す。銅配線1、2は絶縁膜1、2に埋め込まれ、銅配線1、2の間に電界が印加され電流が測定される。パッドP1、P2は測定端子である。銅配線1の配線幅、配線間隔は1.58x10⁵μmである。また、配線方向長は1.58x10⁵μmである。

いられる絶縁膜の材料として、例えばFSG (高密度ブラスマCVD (Chemical Vapor Deposition) 法によるフッ素ドーパ酸化膜 (SIOF))、p-SiOC、SiLK (米The Dow Chemical Co製、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0MV/Vm) 等のような耐電圧の低い、いわゆるLow-k絶縁膜 (Kは比誘電率) を用いることが本格的に検討されている。しかし、この場合、配線間の絶縁破壊耐圧が酸化シリコン膜を用いた場合に比べて必然的に低くなる。

【0042】図3は、pTEOS (比誘電率=4.2)、FSG (比誘電率=3.5)、SiLK (比誘電率=2.7) を用いた層配構造のTDDDB寿命の測定結果を示している。この結果から分かるように、銅配線に用いる絶縁膜のLow-k化が進むと、Low-k絶縁材料の物性から絶縁破壊耐圧も低下し、その結果、TDDDB寿命の低下を招く。したがって、Low-k絶縁構造を適用する場合には、今まで以上に信頼度 (TDDDB寿命) の確保に対して積極的に対策する必要がある。

【0043】図4は、配線間の絶縁膜としてSiLKを用いて実際に作成した配線構造の断面TEM (Transmission Electron Microscope) 写真の模式図である。絶縁膜50上には、絶縁膜51~54が下方から順に堆積されている。絶縁膜50、53は、例えばTEOS (Tetraethylsilane) ガスを用いたプラズマCVD法で形成された酸化シリコン膜 (SiO₂) からなる。絶縁膜50、53の比誘電率は、例えば4.2である。絶縁膜51、54は、例えばプラズマCVD法で形成された窒化シリコン膜 (Si₃N₄) からなる。絶縁膜51、54の比誘電率は、例えば7である。絶縁膜52は、例えばSiLKからなる。絶縁膜51~53には、配線溝55が形成されており、その内部に埋込み配線56が形成されている。埋込み配線56は、銅からなる主導体層または55の深さ) h1は、例えば438nm程度または535nm程度である。埋込み配線56の下部幅w1は、例えば240nm程度、上部幅w2は、例えば60nm程度である。そして、互いに隣接する埋込み配線56において、下部の間隔d1は、例えば260nm程度、上部の間隔d2は、例えば240nm程度である。

【0044】この断面TEM写真から実測値をデバイスシミュレータに入力し電圧分布を計算した。例として5Vの電圧を印加した場合の電圧分布を図5に示す。黒塗りの領域が最も電圧分布の高い領域を示している。この結果から分かるように、埋込み配線56の上部、いわゆるCMP面 (CMPで研磨された面) に電界が集中していることが分かる。さらに、埋込み配線56近傍のY1-Y1'領域の電圧分布を図6に示す。SiLKからなる

絶縁膜3は、例えば厚さ6nm程度の酸化シリコン膜からなる。ここでいうゲート絶縁膜3の厚とは、二酸化シリコン換算厚 (以下、単に換算厚という) であり、実際の厚厚と一致しない場合もある。ゲート絶縁膜3は、酸化シリコン膜に代えて酸化シリコン膜で構成しても良い。すなわち、ゲート絶縁膜3と基板1との界面に窒素を偏析させた構造としても良い。酸化シリコン膜は、酸化シリコン膜に比べて膜中における界面位相の発生を抑制したり、電子トラップを低減したりする効果が高いので、ゲート絶縁膜3のホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸化シリコン膜は、酸化シリコン膜に比べて不純物が負通し難いので、酸化シリコン膜を用いることにより、ゲート電極材料中の不純物が基板1側に拡散することによって起因するしきい値電圧の変動を抑制することができ、酸化シリコン膜を形成するには、例えば基板1をNO、NO₂またはNH₃といった含窒素ガス雰囲気中で熱処理すれば良い。また、p型ウエルPWLおよびn型ウエルNWLのそれぞれの表面に酸化シリコン膜からなるゲート絶縁膜3を形成した後、基板1を上記した含窒素ガス雰囲気中で熱処理し、ゲート絶縁膜3と基板1との界面に窒素を偏析させることによって、上記と同様の効果を得ることができ。

【0051】また、ゲート絶縁膜3を、例えば酸化シリコン膜、あるいは酸化シリコン膜と酸化シリコン膜からなる複合絶縁膜で形成しても良い。酸化シリコン膜からなるゲート絶縁膜3を二酸化シリコン換算厚で5nm未満、特に3nm未満まで薄くすると、直接トンネル電流の発生やストレス起因のホットキャリア等による絶縁膜の劣化が顕在化する。酸化シリコン膜は、酸化シリコン膜よりも誘電率が高いためその二酸化シリコン膜の厚よりも厚くすると、物理的に厚くても、相対的に薄い二酸化シリコン膜と同等の容量を得ることができ、従って、ゲート絶縁膜3を単一の酸化シリコン膜あるいはそれと酸化シリコン膜との複合膜で構成することにより、その実効厚を、酸化シリコン膜で構成されたゲート絶縁膜よりも厚くすることができるので、トンネル漏れ電流の発生やホットキャリアによる絶縁膜劣化の低下を改善することができる。

【0052】nMISQnおよびpMISQpのゲート電極4は、例えば低抵抗多結晶シリコン膜上にチャタンスリサイド (TiSi₃) 層またはコバルトシリサイド (CoSi₂) 層を形成して形成される。ただし、ゲート電極構造は、これに限定されるものではなく、例えば低抵抗多結晶シリコン膜、WN (酸化タンタル) 膜およびW (タンタル) 膜の層構造で構成される。いわゆるポリメタルゲート構造としても良い。ゲート電極4の側面には、例えば酸化シリコンからなるサイドウォール5が形成されている。

【0053】nMISQnのソースおよびドレイン用の半導体領域6は、チャネルに隣接するn型半導体領域と、n型半導体領域に接続され、かつ、n型半導体領域分だけチャネルから離間する位置に設けられたn⁺型半導体領域とを有している。n型半導体領域およびn⁺型半導体領域には、例えばリンまたはヒ素が導入されている。一方、pMISQpのソースおよびドレイン用の半導体領域7は、チャネルに隣接するp型半導体領域と、p型半導体領域に接続され、かつ、p型半導体領域分だけチャネルから離間する位置に設けられたp⁺型半導体領域とを有している。p型半導体領域およびp⁺型半導体領域には、例えばホウ素が導入されている。この半導体領域6、7の上面一部には、例えばチャタンスリサイド層またはコバルトシリサイド層等のようなシリサイド層が形成されている。

【0054】このような基板1上には絶縁膜8aが堆積されている。この絶縁膜8aは、ゲート電極4、4'の裏面、例えばBPSG (Boron-doped Phospho Silicate Glass) 膜からなる。また、スピンドル法によって形成されるSOG (Spin On Glass) 膜で構成しても良い。絶縁膜8aには、コンタクトホール9が形成されている。コンタクトホール9の底部からは半導体領域6、7の上面一部が露出されている。このコンタクトホール9内には、プラグ10が形成されている。プラグ10は、例えばコンタクトホール9の内部を含む絶縁膜8a上にCVD法等で窒化チタン (TiN) 膜およびタンタム (W) 膜を堆積した後、絶縁膜8a上の不要な窒化チタン膜およびタンタム膜をCMP法またはエッチバック法によって除去し、コンタクトホール9内のみにこれらの膜を残すことで形成されている。

【0055】絶縁膜8a上には、例えばタンタムステンからなる第一層配線L1が形成されている。第一層配線L1は、プラグ10を通じてnMISQnおよびpMISQpのソース、ドレイン用の半導体領域6、7やゲート電極4と電気的に接続されている。また、絶縁膜8a上には、第一層配線L1を覆うように、絶縁膜8b、8cが下部から順に堆積されている。

【0056】絶縁膜8bは、例えば有機ポリマーまたは有機シリカガラス等のような低誘電率材料からなる。この有機ポリマーとしては、例えばSiLK (米The Dow Chemical Co製、比誘電率=2.7、耐熱温度=490℃以上、絶縁破壊耐圧=4.0~5.0MV/Vm) またはポリアリルエーテル (PAE) 系材料のFLARE (米Honeywell Electronic Material製、比誘電率=2.8、耐熱温度=400℃以上) 等がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記有機シリカガラス (SiOC系材料) としては、例えばHSG-R7 (日立化成工業製、比誘電率=2.8、

耐熱温度=650℃)、Black Diamond (米Applied Materials, Inc製、比誘電率=3.0~2.4、耐熱温度=450℃)またはp-MTES (H立開発製、比誘電率=3.2)等がある。この他のSiOC系材料としては、例えばCORAL (米Novelus Systems, Inc製、比誘電率=2.7~2.4、耐熱温度=500℃)、Aurora 2.7 (日本エー・エス・エム社製、比誘電率=2.7、耐熱温度=450℃)等がある。

【0057】また、絶縁膜8bの低誘電率材料としては、例えばFSG (SiOC系材料)、HSQ (hydrogen silsesquioxane)系材料、MSQ (methyl silsesquioxane)系材料、ボラスHSQ系材料、ボラスMSQ材料またはボラス有機材料を用いる、こどもとき材料または、例えばOCD T-12 (東京応化工業製、比誘電率=3.4~2.9、耐熱温度=450℃)、FOX (米Dow Corning Corp.製、比誘電率=2.9)またはOCL T-32 (東京応化工業製、比誘電率=2.5、耐熱温度=450℃)等がある。

【0062】上記SiOC系材料、SiOF系材料および絶縁膜8cは、例えばCVD法 (Chemical Vapor Deposition) によって形成されている。例えば上記Bla ck Diamondは、トリメチルシランと酸素との混合ガスを用いたCVD法等によって形成される。また、上記p-MTESは、例えばメチルトリエトキシシランとN₂Oとの混合ガスを用いたCVD法等によって形成される。それ以外の上記低誘電率の絶縁材料は、塗布法で形成されている。

【0063】また、絶縁膜8cは、例えば酸化シリコン等からなる。この絶縁膜8cは、いわゆるLow-Kキャップ用の絶縁膜であり、絶縁膜8bの機械的強度を確保する機能を有している。このような絶縁膜8b, 8cには、第1層配線L1の一部が露出するスルーホール12内には、例えばタンゲステン等からなるプラグ13が形成されている。

【0064】まず、本実施の形態においては、上記のような基板1の主面に、例えば厚さ50nmの酸化シリコン膜等からなる絶縁膜 (第1の絶縁膜) 8dをプラズマCVD法等により堆積する。絶縁膜8dは、この酸化シリコン膜に代えて、プラズマCVD法で形成された酸化シリコン (SiC) 膜、プラズマCVD法で形成された化シリコン膜、プラズマCVD法で形成されたSiCNを用いることができる。プラズマCVD法で形成された炭化シリコン膜としては、例えばBLOK (AMA T社製、比誘電率=4.3) がある。その形成に際しては、例えばトリメチルシランとヘリウム (またはN₂, NH₃) との混合ガスを用いる。また、上記プラズマCVD法で形成された酸化シリコン膜としては、例えばPE-TMS (Canon製、比誘電率=3.9) がある。その形成に際しては、例えばトリメチルシランと酸化窒素 (N₂O) ガスとの混合ガスを用いる。絶縁膜8dの材料として、これらを用いることにより、誘電率を窒化シリコン膜よりも大幅に下げることができ、配線容量等を下げることができるので、半導体集積回路装置の動作速度を向上させることができる。

【0065】続いて、絶縁膜8d上に、絶縁膜8e, 8fを下層から順に堆積する。絶縁膜 (第1の絶縁膜) 8eは、上記絶縁膜8bと同じ低誘電率の絶縁膜からなる。また、絶縁膜 (第1の絶縁膜、キャップ用の絶縁膜) 8fは、上記絶縁膜8cと同じLow-Kキャップ用の絶縁膜からなる。その後、フォトレジスト膜をマスクにしたドライエッチング法により、絶縁膜8f, 8e, 8dを選択的に除去し、配線溝 (配線開口部) 14を形成する。配線溝14を形成するには、フォトレジスト膜から露出する絶縁膜8f, 8eを除去する際に、絶縁膜8f, 8eと、絶縁膜8dとのエッチング選択比を大きくすることで、絶縁膜8dをエッチングストップと

して機能させる。すなわち、この絶縁膜8dの表面でエッチングを一旦停止させた後、絶縁膜8dを選択的にエッチング除去する。これにより、配線溝14の形成精度を向上させることができ、配線溝14の幅の過剰を防止できる。このような配線溝14は、その平面形状が、図8(a)に示すように、例えば帯状に形成されている。配線溝14の底面からは上記プラグ13の上面が露出される。

【0066】次に、上記配線溝14の内部に以下のよう な方法で埋め込み配線を形成する。まず、図9に示すように、基板1の主面上の全面に、例えば酸化チタン (TiN) 等からなる厚さ50nm程度の薄い導電性バリア膜 (第1の導電膜) 15をスパッタリング法等で堆積する。この導電性バリア膜15は、後述の主導電膜形成用の銅の拡散を防止する機能、その主導電膜および主導電膜のリーフロア時に銅の滲れ性を向上させる機能を有している。このような機能を有する膜としては、酸化チタンに代えて、銅と鉛と反応しない酸化タンゲステン (WN)、窒化チタン (TiN) などの高融点金属酸化物を用いることができる。また、その酸化チタンに代えて、高融点金属酸化物にシリコン (Si) を添加した材料や、銅と反応し難いタンタル (Ta)、チタン (Ti)、タンゲステン (W)、チタンタンゲステン (TiW) 合金など高融点金属を用いることもできる。なお、本実施の形態によれば、導電性バリア膜15の厚さを、例えば0.0nm、それよりも小さい6~7nmまたは5nm以下としても良好なDDB特性を得ることができ、

【0067】続いて、導電性バリア膜15上に、例えば銅からなる主導電膜 (第2の導電膜) 16を堆積する。本実施の形態では、主導電膜16をメッキ法で形成し、メッキ法を用いることにより、良好な膜質の主導電膜16を埋め込み性良く、かつ、低コストで形成することができ、この場合、まず、導電性バリア膜15上に、銅からなる薄い導電膜をスパッタリング法で堆積した後、その上に、銅からなる相対的に厚い導電膜を、例えば電解メッキ法または無電解メッキ法によって成長させることで主導電膜22aを堆積した。このメッキ処理では、例えば磁気銅を基本とするメッキ液を使用した。

【0068】ただし、主導電膜16をスパッタリング法で形成することもできる。この導電性バリア膜15および主導電膜16を形成するためのスパッタリング法としては、通常のスパッタリング法でも良いが、埋込み性および膜質の向上を図る上で、例えばロンゲストロウパッタリング法やコロメータースパッタリング法等のような指向性の高いスパッタリング法を用いることが好ましい。また、主導電膜16をCVD法で形成することもできる。

【0069】続いて、例えば475℃程度の非酸化性雰囲気 (例えば水素雰囲気) 中で基板1に対して熱処理を施す。この熱処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0070】次に、このような主導電膜16および導電性バリア膜15をCMP (Chemical Mechanical Polishing) 法等によって研磨する。研磨スラリーとしては、例えばアルミナなどの砥粒と過酸化水素または硝酸第二鉄水溶液などの酸化剤とを主成分とし、これらを水に分散または溶解させたものが使用される。このようにして、図10に示すように、配線溝14内に銅を主成分とする埋込み第2層配線 (配線) L2を形成する。埋込み第2層配線L2はプラグ13を通じて第1層配線L1と電気的に接続されている。

【0071】研磨が終了した基板1は、その表面に防蝕処理が施される。この防蝕処理部は、研磨処理部の構成と類似した構成になっており、ここでは、まず研磨盤 (プラチナ) の表面に取り付けられた研磨パッドに基板1の主面に押し付けられて研磨スラリーが機械的に除去された後、例えばベンゾトリアゾール (BTA) などの防蝕剤を含んだ薬液が基板1の主面に供給されることにより、基板1の主面に形成された銅配線の表面部分に導電性保護膜が形成される。

【0072】防蝕処理が終了した基板1は、その表面の乾燥を防ぐために、浸漬処理部で一時的に保管される。浸漬処理部は、防蝕処理が終了した基板1を洗浄するための間、例えば純水をオーブフローさせた浸漬槽 (ストッカ) の中に所定枚数の基板1を浸漬させて保管することによって行っている。このとき、埋込み第2層配線L2の電気化学的腐蝕反応が実質的に進行しない程度の低温に冷却して純水を浸漬槽に供給することにより、埋込み第2層配線L2の腐蝕をより一層確実に防止することができ、基板1の乾燥防止は、例えば純水シャワーの供給など、少なくとも基板1の表面を種潤状態に保持することのできる方法であれば、上記した浸漬槽中での保管以外の方法で行っても良い。この浸漬処理部 (基板保管部) を透光構造にし、保管中の基板1の表面に照明光などを照射されないようにすることができ、これにより、光起電力効果による短絡電流の発生を防ぐようにできる。浸漬処理部を透光構造にするには、具体的には浸漬槽 (ストッカ) の周囲を遮光シートなどで覆うこととによって、浸漬槽 (ストッカ) の内部の照度を少なくとも500ルクス以下、好ましくは300ルクス以下、さらに好ましくは100ルクス以下にする。なお、上記のようなCMP処理およびCMP装置については、例えば本発明者らによる特開平11-226876号や特願2000-300853号に記載がある。

【0073】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0074】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0075】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0076】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0077】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0078】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0079】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0080】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0081】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0082】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0083】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0084】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

【0085】その後、基板1の表面の湿度状態が保たれた状態で直ちにCMP後洗浄処理に移行する。まず、基板1に対してアルカリ洗浄処理を施す。この処理は、CMP処理時のプラズマ等の異物を除去する目的を有してお

り、CMP処理により基板1に付着した酸性スラリーを中和し、基板1と、異物と、洗浄用のフロンとをzeta電位を方向を揃えて、それらの間の吸着力をなくすために、例えばpH8程度またはそれ以上の弱アルカリ薬液を供給しながら、基板1の表面をスクラップ洗浄（またはブラッシング）する。アルカリ薬液として、例えばアミノエタノール(DAE (Diluted Amino Ethanol)、組成：2-Aminoethanol, H₂NCH₂CH₂OH、濃度：0.001~0.1%程度、好ましくは0.01%)を用いた。この薬液は、銅のエッチング作用が少なく、NH₄OHと同等の洗浄力を有する。この洗浄処理では、ロール型洗浄方式を採用した。ただし、これに限定されるものではなく種々変更可能であり、例えばアルカリ洗浄に際してデイスク型洗浄方式を採用することもでき、また、酸洗浄に際してデイスク型洗浄方式やベン型洗浄方式を採用することもできる。

【0074】続いて、基板1に対して還元処理を施す。例えば、図11に示すように、水素ガス雰囲気中で、温度は200~475℃、好ましくは300℃、例えば0.5~5分、好ましくは2分程度の熱処理を基板1に施す。これにより、CMP時に発生した埋込み第2層配線12表面の酸化銅膜を銅に還元することができ、その後の酸洗浄による埋込み第2層配線12のエッチングを抑制または防止する。また、配線抵抗の上昇、配線抵抗のばらつきおよび急激な発生を同時に抑制または防止でき、さらに、エッチングによる発生も抑制または防止できる。また、還元処理を行わない場合、CMP処理時に基板1の表面に付着したBT A等のような有機物が洗浄処理に際してマスクとなり絶縁膜8 fの表面を良好に削り取ることができなくなる。本実施の形態のように還元処理を行うことにより、CMP時に付着したBT A等の有機物を除去することができるので、絶縁膜8 fの表面を、充分に、かつ、均一に除去することができ、酸洗浄を施すことができるので、絶縁膜8 fの表面を、充分に、かつ、均一に除去することができ、酸洗浄を施すことができるので、絶縁膜8 fの表面を、充分に、かつ、均一に除去することができ、酸洗浄を施すことができる。

【0075】続いて基板11に対して酸洗浄処理を施す。この処理は、TDD B特性の向上、残留金属除去、絶縁膜8 f表面の凹凸除去等の目的を有しており、フッ酸水溶液を基板1の表面に供給してエッチングによる異物粒子(パーティクル)の除去を行う。フッ酸洗浄を挿入しただけでもTDD B特性を改善できる。これは、酸処理により表面のダメージ層が除去されて表面の密着性が向上したためと考えられる。フッ酸(HF)洗浄は、例えばブラッシング洗浄を用い、HF濃度を0.5%、洗浄時間を20秒の条件で行う。

【0076】本発明者による実験によれば、アルカリ洗浄

と酸洗浄との連続シーケンスのTDD B特性と比較し、アルカリ洗浄、水素アニールおよび酸洗浄のシーケンスのTDD B特性は、約2桁向上することが明らかとされた。層間絶縁膜に低誘電率の絶縁材料を用いた埋込み銅配線構造の信頼性を考慮すると、2桁のTDD B寿命の向上は、非常に有効なプロセスである。アルカリ洗浄と酸洗浄との間に、水素アニールを挿入することにより、TDD B寿命が向上する理由として、CMP時に付着するBT A等の有機物が除去されるためと考えられる。有機物が付着したまま酸洗浄を行うと、TDD B寿命を左右する隣接絶縁膜表面のクリーニング(リフトオフ)が充分にできずと推定される。一方、本実施の形態では水素アニール処理を行ってから酸洗浄を行うため、絶縁膜の剥離を、充分に、かつ、均一にリフトオフすることができ、TDD B寿命を向上させることが可能となる。

【0077】上記の例では、還元処理として水素アニールを施す場合について説明したが、これに限定されるものではなく、例えば水素プラズマやアンモニアプラズマを施してもよい。この場合、上記した効果の他に、還元処理時間を短縮でき、スループットの向上を推進させることができる、という効果を得られる。水素プラズマやアンモニアプラズマと比較した場合の水素アニールの利点としては、デバイスプロセスで良く使用されており実績があること、また、真空状態を形成する必要がないこと等から、比較的容易に処理を行うことができる、という利点がある。

【0078】また、CMP処理後、上記還元処理を行い、その後、アルカリ洗浄処理、酸洗浄処理の順で酸洗浄を行ってもよい。また、アルカリ洗浄を行わず、酸洗浄のみを行ってもよい。酸洗浄のみを行っただけでもTDD B特性が改善する。これは、ダメージ層の除去により界面の特性を向上させたためと思われる。

【0079】また、上記CMP後洗浄処理に先行または並行して、基板1の表面を純水スクラップ洗浄、純水超音波洗浄、純水流水洗浄または純水スピンドル洗浄した。基板1の裏面を純水スクラップ洗浄してもよい。

【0080】続いて、本実施の形態においては、図12に示すように、埋込み第2層配線12に対してエッチング処理を施すことにより、埋込み第2層配線12の上層を選択的にエッチング除去する。これにより、埋込み第2層配線12の上層を、CMP面である絶縁膜8 fの上層よりも磨き、すなわち、埋込み第2層配線12の上層と、絶縁膜8 fの上面との間に小さな段差を生じさせている。ここでは、図12 (b)に例示するように、導電性バリア膜15の高さが磨かれているが、銅からなる主導体1 fの上面の高さも磨かれている。銅からなる主導体膜16の上面、特に上面角は、埋込み第2層配線12に比べて導電性バリア膜15の上面から距離d3だけ下方に磨かれて配線されている。すなわち、主導体膜16の上面

部角は、埋込み第2層配線12において最も電界が集中する上部角(導電性バリア膜15の上面)からすれば上に配線されている。これにより、埋込み第2層配線12において、電界が最も集中し、かつ、絶縁膜8 fの上面(CMP面)が接する部分に、拡散係数の高い銅からなる主導体膜16が存在しないような構造とすることができ、このため、上記電界集中に起因する銅の拡散が抑制されることを可能とする。この結果、TDD B寿命を向上させることが可能となる。距離d3は、例えば10nm程度またはそれ以上である。なお、このような段差形状を採用することを考慮して、予め絶縁膜14の深さ(すなわち、絶縁膜8 d~8 fの総厚)を段差形状を採用しない場合よりも深く(厚く)しておく。

【0081】また、上記アルカリ洗浄処理または酸洗浄処理に際して、例えばpH値、薬液濃度または処理時間等を所定の値に設定することにより、埋込み第2層配線12の上層をエッチング除去することもできる。この場合、埋込み第2層配線12を製造する際、製造工程の簡略化と製造時間の短縮が可能となる。

【0082】次に、上記埋込み第2層配線12の上面を絶縁膜8 fの上面から磨き、例えば純水リンス処理およびスピンドル乾燥IPA(イソプロピルアルコール)ベーパー乾燥等のような乾燥処理、後処理を極端に短縮して、工程に移行する。

【0083】ここでは、まず、図13に示すように、基板1の表面(埋込み第2層配線12が露出する面)に対して、水素プラズマ処理を施す。この水素プラズマ処理条件は、例えば基板1の直径を8インチ(約20cm)とした場合、処理圧力を5.0 Torr (=6.6661×10⁻²Pa)、高周波(RF)電力を600W、基板温度を400℃、水素ガス流量を500cm³/min、処理時間を10~30秒とすることができ、電極間距離は600mils(15.24mm)とした。

【0084】続いて、上記水素プラズマ処理後、大気開放せず連続して、図14に示すように、基板1の表面(埋込み第2層配線12が露出する面)に対して、アンモニア(NH₃)プラズマ処理を施す。このアンモニアプラズマ処理条件は、例えばアンモニア流量を200cm³/min程度とした以外は、上記水素プラズマ条件と同じである。

【0085】なお、プラズマ処理条件は、これら例示した条件に限られないのはもちろんである。本発明者らの検討では、圧力が高いほどTDD B寿命が低減でき、基板温度が高いほどTDD B寿命の基板内ばらつきは低減し、長寿命化がはかれることが明らかとされた。また、基板温度が高く、RF電力が大きくなり、処理時間が長いほどCuの表面にヒロコックが発生しやすい、という知見が得られている。これらの知見と装置構成等による条件のばらつきを考慮すると、例えば処理圧力は0.5~

6 Torr (=0.66661×10⁻²~7.99993×10⁻²Pa)、RF電力は300~600W、基板温度は350~450℃、水素ガス流量は50~100cm³/min、アンモニアガス流量は20~500cm³/min、処理時間は5~180秒、電極間距離は150~1000mils(3.81~25.4mm)の範囲で設定することができる。

【0086】続いて、上記アンモニアプラズマ処理後、大気開放せず連続して、図15および図16に示すように、埋込み第2層配線12および絶縁膜8 fの上面に、配線キャップ用の絶縁膜(第1、第2の絶縁膜)8 bをCVD法等によって堆積する。絶縁膜8 gは、例えば上記絶縁膜8 dと同一厚さの同一材料からなる。絶縁膜8 gの材料には、上記絶縁膜8 dと同様の変形例がある。また、図16 (a)に示すように、埋込み第2層配線12の側面には、下方から上方に向かって配線幅が次第に広くなるようなテーパーが形成されている。この埋込み第2層配線12の側面と絶縁膜8 cの上面との成す角αは、例えば80°~90°の範囲内、具体的に、例えば88.7°程度である。配線の上部側の幅(配線幅)4の上部側幅)および隣接配線の上部側の間隔(隣接配線の上部角間の距離)は、例えば0.25μm以下、あるいは0.2μm以下である。配線14のアスペクト比は、例えば1である。

【0087】ここでは、水素プラズマ処理後にアンモニアプラズマ処理を施す場合について説明したが、これに限定されるのではなく種々変更可能である。例えばアンモニアプラズマ処理後に水素プラズマ処理を真空状態を維持したまま連続して行ってもよい。また、アンモニアプラズマ処理のみを行ってもよい。これらの場合、配線抵抗は前述した場合よりも低下したものの、TDD B寿命を向上させることができる。

【0088】また、CMP後洗浄処理後の乾燥処理の後、水素アニール処理、水素プラズマ処理、アンモニアプラズマ処理、配線キャップ膜形成処理の順に処理を行ってもよい。この場合のアンモニアプラズマ処理と水素プラズマ処理との順序は逆でもよい。また、アンモニアプラズマ処理のみでもよい。いずれにおいても水素アニールの条件としては、処理温度は、例えば200~475℃、好ましくは300℃程度、処理時間は、例えば0.5~5分、好ましくは2分程度とした。この方法は、特に埋込み配線用の銅からなる主導体膜をメッキで形成する場合に適している。また、後洗浄処理中またはその直前の還元処理に際して水素アニール処理を施すことにより、メッキ法によって形成された銅を再結晶化させることができるので、配線抵抗を下げることが可能となる。また、この水素アニール処理を行わずにキャップ膜を堆積すると、熱応力によってキャップ膜の剥離が生じる場合があるが、水素アニール処理を施すことに

より、それを抑制または防止することができ、
 【0099】このように本実施の形態では、配線キャップ用の絶縁膜8gの堆積に先立って水素プラズマ処理およびアンモニアプラズマ処理を基板11に対して順に施す。
 【0090】アンモニアプラズマでは、CMPで酸化された銅配線表面の酸化銅(Cu₂O、Cu₂SO₄)を銅(C)に還元する。また、セットフロー時の銅のシリサイド化を防ぐ酸化銅(CuN)層が埋込み第2層配線2の表面(ごく薄い領域)に形成される。配線間の絶縁膜8f(上面)は、Si₂N₄またはSi₃N₄による堆積が、配線間のタンダリングポイントの補償化が、キャップ用の絶縁膜8f(上面)と埋込み第2層配線2および絶縁膜8fとの密着性を向上させることができる。このように、TDDDB寿命を向上させることができ、界面のリーク電流を低減することができる。

【0091】一方、水素プラズマでは、本発明者らによる特願平11-226876号の特願2000-300853号でも述べたように、アンモニアプラズマ処理受に比べて有機系の除去能力が非常に高いため、CMP後のスラリーに含まれているBTA、スラリー成分やCMP後の洗浄の有機酸とプロセス中に生成した残留有機物をほぼ完全に除去し、界面のリーク電流を減少させることができる。その結果、TDDDB寿命をさらに向上させることができる。

【0092】したがって、この水素プラズマ処理とアンモニアプラズマ処理とを順に行うことにより、銅を主成分として有する埋込み第2層配線23a表面の還元およびシリサイド層の形成と、絶縁膜界面のクリーニングおよびSi₂N₄効果、Si₃N₄効果を得ることができ、さらなる信頼性の向上を実現できる。中間絶縁膜が、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法で形成された酸化シリコン膜上に、プラズマCVD法で形成された窒化シリコン膜を堆積することで構成されている場合において、水素プラズマとアンモニアプラズマとを組み合わせて行ったサンブルでは、アンモニアプラズマ処理単独の場合と比較して、TDDDB寿命が約2倍向上することが本発明者らによって明らかとされた。また、中間絶縁膜として上記Si₂N₄を用いた場合でも、水素プラズマおよびアンモニアプラズマを用いた場合、例えば約0.13~0.17M V/cm、10年の動作環境でも充分な信頼度を確保できることが本発明者らの実験によって明らかとされた。
 【0093】また、本実施の形態においては、上記のように埋込み第2層配線2の上部角において電界が集中する領域EFAから埋込み第2層配線2の偏からなる主導体膜16の上部角を緩和させたことにより、電界集中に起因する銅の拡散を抑制または防止することができるので、隣接埋込み配線間で生じるリーク電流を抑制ま

たは防止でき、TDDDB寿命をさらに向上させることが可能となる。図17(a)は埋込み銅配線構造における電界強度とリーク電流との関係を本構造と通常構造とで比較したグラフ図、(b)は埋込み銅配線構造における電界強度とTDDDB寿命との関係を本構造と通常構造とで比較したグラフ図である。通常構造は、絶縁膜8f上面と埋込み第2層配線2の上面との間に段差を生じ、通電構造よりも、リーク電流を低減でき、絶縁膜耐圧を向上できる上、TDDDB寿命を通常構造よりも2桁程度向上させることができた。
 【0094】(実施の形態2)図18は、本発明の他の実施の形態である半導体装置の製造工程(図16と同様の配線キャップ用の絶縁膜の堆積工程後)の要部拡大断面図を示している。
 【0095】本実施の形態2においては、図18に示すように、埋込み第2層配線2の上面が全体的に絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。すなわち、埋込み第2層配線2の導電性バリア膜15の上面も、絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。これにより、導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜8fの上面から離間されている。この場合、埋込み第2層配線2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成されやすい絶縁膜8fの上面(CMP面)、絶縁膜8f、8gの界面から離間されている。このため、仮に埋込み第2層配線2の上部角に電界が集中することで主導体膜16の銅がイオン化したとしても、そのイオン化された銅が絶縁膜8fの上面を通じて拡散してしまふ現象を抑制または防止できる。すなわち、互いに隣接する埋込み第2層配線2、L2間にリークパスが形成されるのを抑制または防止できる。したがって、TDDDB寿命を向上させることが可能となる。

【0096】このような構造を形成するには、前記CMP処理後洗浄処理後のエッチング処理に際して、導電性バリア膜15および主導体膜16が選択的にエッチングされる条件で基板11に対してエッチング処理を施せば良い。
 【0097】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素プラズマ)処理、アンモニアプラズマ処理および水素プラズマ処理等のような各種処理については、前記実施の形態1と同じな説明を省略する。

【0098】(実施の形態3)上記のように、銅配線の実用化に際しては、銅の拡散を防止するためのバリア膜が必須と考えられているが、配線の微細化に連れて、配線断面積中に占める高抵抗のバリア膜の断面積が増加することにより配線抵抗が増加する結果、配線材料として

銅を適用したメリットが薄れるという問題が発生する。
 【0099】そこで、本発明者らは、銅の拡散現象について改めて実験を行い検討した。その結果、本発明者らは、前記したように銅の拡散現象について本質的なメカニズムを初めて見出した。そして、その新しい見地から本発明者らは、配線断面の側壁部および底部にイオン化されにくい中性Cuを形成させるのを抑制または防止でき(こと)、前記アンモニアプラズマ処理、水素プラズマ処理またはその両方を施すこと、あるいはこれらと前記CMP処理または洗浄処理等とを組み合わせることにより、導電性バリア膜の膜厚を10nm未満に薄くして、あるいは、導電性バリア膜自体を無くしてしまっても(バリアレス埋込み配線構造)、Cu配線を有する半導体集積回路装置のTDDDB寿命を向上させることができ、これを初めて見出した。すなわち、銅のみで埋込み配線を構成した場合でも充分な信頼度を達成することができ、実用的なCu配線を形成することが可能であることが本発明者らの実験によって初めて判明した。なお、これについては、本発明者らによる特願2000-104015号または特願2000-300853号に記載がある。

【0100】本実施の形態3は、そのバリアレス埋込み配線構造に本発明を適用した場合を説明するものである。図19(a)は、本実施の形態の半導体装置の製造工程(図16と同様の配線キャップ用の絶縁膜の堆積工程後)の要部断面図、図19(b)は、図19(a)の要部拡大断面図をそれぞれ示している。
 【0101】本実施の形態3においては、図19に示すように、埋込み第2層配線2が、銅からなる主導体膜16のみで構成されている。すなわち、銅からなる主導体膜16と、絶縁膜8c、8d、8e、8fとの間には、導電性バリア膜が形成されず、主導体膜16は、絶縁膜8c、8d、8e、8fに直接接した状態で配線溝14内に埋め込まれている。このため、埋込み第2層配線2の配線抵抗を大幅に低減できる。また、異質配線間が導電性バリア膜を介さずに直接接される(この場合は、埋込み第2層配線2と第1層配線1とが直接接される構造を例示したが、配線間の異なる銅配線同士が直接接される場合もある)ので、その異質配線間の接合抵抗を大幅に低減させることができ、微細なスルーホールでの抵抗を低減させることが可能となつてい

したがって、配線溝14やスルーホール12が微細化されたとしても半導体集積回路装置の性能を向上させることが可能となる。したがって、半導体装置を構成する配線の微細化を推進できる。
 【0102】そして、本実施の形態においては、その主導体膜16の上面が、絶縁膜8fの上面(CMP面)よりも下方に窪んでいる。すなわち、銅からなる主導体膜16の上部角は、これに近接する絶縁膜8fの上面から距離d3だけ下方に離れて配置されている。この場合、

埋込み第2層配線L2において、その上部角の電界が集中する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成されやすい絶縁膜8fの上面(CMP面)、絶縁膜8f、8gの界面)から離れている。このため、前記実施の形態2と同様に、互いに隣接する埋込み第2層配線間L2、L2にリークパスが形成されるのを抑制または防止できる。したがって、TDDDB寿命を向上させることが可能となる。
 【0103】この場合、銅からなる主導体膜16は、例えば300nm程度の厚さでスパッタリング法によって堆積する。この際の条件は、例えば次の通りである。圧力は、例えば0.02Pa、直流(DC)パワーは、例えば10kW、ターゲットと基板1との距離は、例えば300~400mm、温度は、例えば室温である。

【0104】このように本実施の形態においては、主導体膜16をスパッタリング法によって堆積することにより、CVD法やメッキ法に比べて、その層の生成を非常に少なくすることができる。また、その際のターゲットとして、例えば99.9999%(5N)以上、好ましくは、99.99999%(6N)以上の純度の高い無酸素Cuを用いた。これにより、例えば成膜時の主導体膜2中のCuの濃度を99.9999%以上、好ましくは、99.99999%以上とできる。したがって、さらに純度の高い銅を堆積できる。この主導体膜16の堆積に際しては、通常のスパッタリング法を用いても良いが、ロータスロークタリング法やコロメータスパッタリング法等のような指向性の高いスパッタリング法を用いても良い。その場合、配線溝14~の金属膜のカバレッジを向上させることができる。

【0105】また、主導体膜16の銅以外の成分の濃度は、0.8atomic%以下または0.2atomic%以下である。また、本発明者らの実験結果では、その銅以外の成分の濃度を、例えば0.08atomic%以下、または、それよりも低く、0.05atomic%以下、あるいはそれよりもさらに低く、0.02atomic%以下にすることが可能であった。この銅以外の成分の濃度の値は、チップが完成した時点、すなわち、ウエハプロセスを経てウエハからチップが切り出された時点で値であった。その銅以外の成分が、銅配線形成後の絶縁膜や金属膜の成膜処理時等の熱(例えばタンダリングステータ等では成膜時に450°C程度の熱が加わる)によって銅配線中に拡散したことを想定して算出した値である。実際の銅配線において、その銅以外の成分は、銅配線の上層部(キャップ層が接する部分)の濃度が高く、銅配線の中心に向かって次第に薄くなるような状態で分布していると考えられる。その銅以外の成分としては、例えばシリコン、酸素、硫黄(硫黄は銅配線をメッキ法で形成した場合に考えられる)またはそれらの任意の組合せがある。

【0106】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、主導体膜16の上面を覆うための処理、アンモニアプラズマ処理および水素プラズマ処理等の上で各種処理については、前記実施の形態1と同じなことが可能となる。

【0112】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、アンモニアプラズマ処理および水素プラズマ処理等の上で各種処理については、前記実施の形態1と同じなことが可能となる。

【0113】(実施の形態5) 本実施の形態5において、前記実施の形態3で説明したバリア層埋込み配線構造に、前記実施の形態4の構造を適用した場合について説明する。図23(a)は、本実施の形態における半導体装置の製造工程(図16と同一)の配線キヤップ用の絶縁膜の堆積工程後の要部断面図、図23(b)は、図23(a)の要部拡大断面図をそれぞれ示している。

【0114】本実施の形態5において、その主導体膜16の上面が、絶縁膜8 fの上面(CMP面)よりも上方に突出している。すなわち、銅からなる主導体膜16の上面の上部角は、これに近接する絶縁膜8 fの上面から距離d 3だけ上方に離れて配置されている。この場合、埋込み第2層配線L 2において、その上部角の電界が集積する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され、絶縁膜8 fの上面(CMP面)から離れている。また、埋込み第2層配線L 2の上部を突出させる方法は、前記実施の形態4と同様に、エッチング処理後の絶縁膜8 fの表面にエッチングするものがある。したがって、前記実施の形態4で説明したように、エッチング処理後の絶縁膜8 fの表面は、化学的安定性および高純度の高い状態となる。これらにより、互いに隣接する埋込み第2層配線L 2、L 2間にリークパスが形成されるのを抑制または防止できる。

【0107】(実施の形態6) 図20(a)は、本発明の他の実施の形態である半導体装置の製造工程(図16と同一)の配線キヤップ用の絶縁膜の堆積工程後の要部断面図、(b)は(a)の要部拡大断面図をそれぞれ示している。また、図20(b)の変形例を示す半導体装置の製造工程(図16と同一)の配線キヤップ用の絶縁膜の堆積工程後の要部拡大断面図を示している。

【0108】本実施の形態4においては、図20に示すように、埋込み第2層配線L 2の上面が全体的に絶縁膜8 fの上面(CMP面)よりも上方に突出している。ここでは、埋込み第2層配線L 2を構成する導電性バリア膜15および主導体膜16の両方の上面、特に上部角が、これに近接する絶縁膜8 fの上面から上方に離れている。図20(b)では、主導体膜16の上面(角部以外の面)の高さが、絶縁膜8 fの上面(CMP面、絶縁膜8 f、8 gの界面)の高さよりも高い場合を示している。しかし、図21に示すように、主導体膜16の上面(角部以外の面)の高さを、絶縁膜8 fの上面(CMP面、絶縁膜8 f、8 gの界面)の高さよりも低くしても良い。

【0109】図20および図21のいずれの場合も、埋込み第2層配線L 2において、その上部角の電界が集積する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され、絶縁膜8 fの上面(CMP面)から離れている。また、埋込み第2層配線L 2、L 2間にリークパスが形成されるのを抑制または防止できる。したがって、TDD B寿命を向上させることが可能となる。

【0110】このような構造を形成するには、図22に示すように、前記CMP処理後洗浄処理の後のエッチング処理に際して、絶縁膜8 fの上面角を選択的にエッチングされる条件で基板1に対してエッチング処理を施せば良い。この場合、CMP処理によってダメージを受け、化学的に不安定となっている絶縁膜8 fの上面を除去する。このエッチング処理に際して、例えばpH値、薬液濃度または処理時間を所定の値に設定することにより、絶縁膜8 fの上面をエッチング除去することにより、絶縁膜8 fの上面をエッチング除去する。

【0111】また、上記洗浄処理に際して、例えばpH値、薬液濃度または処理時間を所定の値に設定することにより、絶縁膜8 fの上面をエッチング除去する。

【0112】なお、銅からなる主導体膜16の堆積工程後のCMP処理、CMP後洗浄処理、還元(水素アニール)処理、主導体膜16の上面を覆うための処理、アンモニアプラズマ処理および水素プラズマ処理等の上で各種処理については、前記実施の形態1と同じなことが可能となる。

【0113】(実施の形態5) 本実施の形態5において、前記実施の形態3で説明したバリア層埋込み配線構造に、前記実施の形態4の構造を適用した場合について説明する。図23(a)は、本実施の形態における半導体装置の製造工程(図16と同一)の配線キヤップ用の絶縁膜の堆積工程後の要部断面図、図23(b)は、図23(a)の要部拡大断面図をそれぞれ示している。

【0114】本実施の形態5において、その主導体膜16の上面が、絶縁膜8 fの上面(CMP面)よりも上方に突出している。すなわち、銅からなる主導体膜16の上面の上部角は、これに近接する絶縁膜8 fの上面から距離d 3だけ上方に離れて配置されている。この場合、埋込み第2層配線L 2において、その上部角の電界が集積する領域EFA内に、銅からなる主導体膜16の上部角が存在するが、その領域EFAが、リークパスが形成され、絶縁膜8 fの上面(CMP面)から離れている。また、埋込み第2層配線L 2の上部を突出させる方法は、前記実施の形態4と同様に、エッチング処理後の絶縁膜8 fの表面にエッチングするものがある。したがって、前記実施の形態4で説明したように、エッチング処理後の絶縁膜8 fの表面は、化学的安定性および高純度の高い状態となる。これらにより、互いに隣接する埋込み第2層配線L 2、L 2間にリークパスが形成されるのを抑制または防止できる。

【0121】(実施の形態7) 本実施の形態7において、デュアルダマシンのような埋込み配線構造の形成方法は、図25(a)~(c)によって説明する。なお、図25(a)は、半導体装置の製造工程における要部断面図、図25(b)は図25(a)のX2-X2線の断面図、図25(c)は図25(a)のX2-X2線に相当する部分の断面図を示している。

【0122】図25に示すように、絶縁膜8 g上には、絶縁膜(第1の絶縁膜)8 h~8 lが下層から順に堆積されている。絶縁膜8 h、8 kは、前記絶縁膜8 eと同様の低誘電率材料からなり、その絶縁膜8 eと同厚さの層に形成されている。絶縁膜8 i、8 lは、前記絶縁膜8 fと同一材料からなり、その絶縁膜8 fと同厚さで同様に形成されている。絶縁膜8 jは、前記絶縁膜8 gと同一材料からなり、その絶縁膜8 gと同厚さで同様に形成されている。

【0123】この絶縁膜8 g~8 iには、平面円形状のスルーホール(配線開口部)17が穿孔されている。スルーホール17の底面からは埋込み第2層配線L 2の主導体膜16の上面が露出されている。また、絶縁膜8 j~8 lには、平面帯状の配線溝(配線開口部)18が形成されている。この配線溝18の底面からは、絶縁膜8 iの上面およびスルーホール17が露出されている。すなわち、配線溝18とスルーホール17とは一体的に露出している。

【0124】このような状態において、まず、図26に示すように、前記と同様の導電性バリア膜15を、前記実施の形態1と同様の条件でスパッタリング法によって堆積した後、その上に、銅からなる主導体膜16を、前記実施の形態1と同様に堆積する。

【0125】続いて、前記実施の形態1と同様に、水素アニール処理によるリフロ処理を施した後、この主導体膜16および導電性バリア膜15を、図27に示すように、前記実施の形態1と同様のCMP法等によって研磨し、余分な部分を除去することにより、埋込み第3層配線L 3を形成する。埋込み第3層配線L 3は、スルーホール17を通じて埋込み第2層配線L 2と電気的に接続されている。

【0126】続いて、前記実施の形態1と同様に、防蝕処理およびアルカリ洗浄処理を順に施した後、絶縁膜8 lおよび埋込み第3層配線L 3の上面(CMP面)に対して水素アニール処理(還元処理)を施す。その後、洗浄処理を施した後、前記実施の形態1と同様にエッチング処理を施した後、図28および図29に示すように、主導体膜16の上面角を選択的にエッチング除去し、埋込み第3層配線L 3の上面に前記実施の形態1と同様に絶縁膜8 lの上面よりも高くなる。なお、図29は、図28の埋込み第3層配線L 3の上面の要部拡大断面図を示している。

【0127】その後、前記実施の形態1と同様に、絶縁膜8 lおよび埋込み第3層配線L 3の上面に対して、前記水素プラズマ処理、前記アンモニアプラズマ処理またはその両方を施す。これにより、前記実施の形態1と同様の効果を得ることができた。

【0128】その後、図30および図31に示すように、前記実施の形態1の絶縁膜8 gと同一材料からなる絶縁膜(第2の絶縁膜)8 mを、その絶縁膜8 gと同様に堆積する。

【0129】ここでは、前記実施の形態1と同様の埋込み配線構造を例示しているが、前記実施の形態2~6で説明した構造としても良い。図32および図33は、前記実施の形態4の埋込み配線構造をデュアルダマシンの法に適用した場合を例示している。図33は、図32の埋込み第3層配線L 3の上面角の要部拡大断面図を示している。この場合は、埋込み第3層配線L 3の上面が、絶縁膜8 lの上面よりも上方に突出されている。

【0130】このような本実施の形態によれば、デュアルダマシンの法において前記実施の形態1~6と同様の効果を得ることが可能となる。

【0131】(実施の形態8) 本実施の形態8において、前記Low-Kキヤップ用の絶縁膜を無くした構造(Low-Kキヤップレス構造)に本発明を適用した場合同じについて説明する。

【0132】図34は、その一例を示している。図34

【0127】その後、前記実施の形態1と同様に、絶縁膜8 lおよび埋込み第3層配線L 3の上面に対して、前記水素プラズマ処理、前記アンモニアプラズマ処理またはその両方を施す。これにより、前記実施の形態1と同様の効果を得ることができた。

【0128】その後、図30および図31に示すように、前記実施の形態1の絶縁膜8 gと同一材料からなる絶縁膜(第2の絶縁膜)8 mを、その絶縁膜8 gと同様に堆積する。

【0129】ここでは、前記実施の形態1と同様の埋込み配線構造を例示しているが、前記実施の形態2~6で説明した構造としても良い。図32および図33は、前記実施の形態4の埋込み配線構造をデュアルダマシンの法に適用した場合を例示している。図33は、図32の埋込み第3層配線L 3の上面角の要部拡大断面図を示している。この場合は、埋込み第3層配線L 3の上面が、絶縁膜8 lの上面よりも上方に突出されている。

【0130】このような本実施の形態によれば、デュアルダマシンの法において前記実施の形態1~6と同様の効果を得ることが可能となる。

【0131】(実施の形態8) 本実施の形態8において、前記Low-Kキヤップ用の絶縁膜を無くした構造(Low-Kキヤップレス構造)に本発明を適用した場合同じについて説明する。

【0132】図34は、その一例を示している。図34

(a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図34 (b) は図34 (a) の要部拡大断面図を示している。
 【0133】本実施の形態においては、低誘電率絶縁膜からなる絶縁膜8 e上に直接的に配線キヤップ用の絶縁膜8 gが堆積されている。ここでは、配線構造として前記実施の形態1と同様の構造を例示する。すなわち、埋込み第2層配線2の上面が、絶縁膜8 eの上面(CMP面、絶縁膜8 e、8 gの界面)よりも下方に窪んでいる。

【0134】ここでは、前記実施の形態1の埋込み配線構造を採用した場合について説明したが、これに限定されるものではなく、前記実施の形態2~6で説明した埋込み配線構造を採用することもできる。例えば図35は、Low-Kキヤップ構造に前記実施の形態4の構造を適用した場合を示している。図35 (a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図35 (b) は図35 (a) の要部拡大断面図を示している。ここでは、埋込み第2層配線2の上面が、低誘電率材料からなる絶縁膜8 eの上面(CMP面、絶縁膜8 e、8 gの界面)よりも上方に突出されている。

【0135】以上のような本実施の形態においても、前記図17で示した結果が得られた。すなわち、Low-Kキヤップ構造においても、本構造を採用した場合、通常構造に比較してリーク電流を低減でき、絶縁膜8 f1、8 g1界面でのリーク電流を通常構造に比較して2桁程度向上させることができた。

【0136】(実施の形態9) 本実施の形態において、Low-Kキヤップ用の絶縁膜として銅の拡散を抑制または防止する埋込み銅配線の間に、埋込み銅配線が形成された絶縁膜の上面と配線キヤップ用の絶縁膜との界面(CMP面)が支配的であることが明らかになった。そこで、その絶縁膜の界面に、銅の拡散を抑制または防止するリーク電流を低減できる構造により、互いに隣接する埋込み配線間のリーク電流を抑制または防止できる。

【0137】前記したように本発明者らの検討によれば、銅を主導体膜とする埋込み配線の銅の拡散は、互いに隣接する埋込み銅配線の間に、埋込み銅配線が形成された絶縁膜の上面と配線キヤップ用の絶縁膜との界面(CMP面)が支配的であることが明らかになった。そこで、その絶縁膜の界面に、銅の拡散を抑制または防止するリーク電流を低減できる構造により、互いに隣接する埋込み配線間のリーク電流を抑制または防止できる。

【0138】図36は、その一例を示している。図36 (a) は、半導体装置の製造工程(図16と同一のキヤップ用の絶縁膜の堆積工程後)の要部断面図、図36 (b) は図36 (a) の要部拡大断面図を示している。

【0139】本実施の形態においては、Low-Kキヤップ用の絶縁膜8 f1として、銅の拡散を抑制または防止する材料が選択されている。絶縁膜8 f1の具体的な材料としては、例えばトリメチルシリラン(化学式=SiH(OCH₃)₃)ガスとN₂Oガスの混合ガスを用

いたプラズマCVD法で形成された酸化シリコン膜(SiO₂、(ほぼSiO₂)、比誘電率=4.0)、トリメチルシリランガス(化学式=SiH(CH₃)₃)を用いたプラズマCVD法で形成された酸化シリコン膜(SiO_x、(ほぼSiO₂)、比誘電率=4.3~5.0)またはトリメチルシリランとNH₃との混合ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiC_xN_y、比誘電率=4.3~5.0)がある。特に、上記トリメチルシリランガスを用いた場合は、銅をトラップするよう作用し、他の材料よりも、リーク電流を低減でき、高い絶縁膜8 f1の形成を促進した。このように、高い電界が集中する箇所位置するLow-Kキヤップ用の絶縁膜8 f1の材料として、上記バリア性を有する材料を選択することにより、絶縁膜8 f1、8 g1の界面(絶縁膜8 f1の上面)でのリーク電流の形成を抑制または防止できる。TDDDB寿命を向上させることが可能となる。

【0140】また、配線キヤップ用の絶縁膜8 g1の材料は、前記絶縁膜8 gと同じ材料としても良いが、前記Low-Kキヤップ用の絶縁膜8 f1と同様に上記バリア性を有する材料を選択することにより、さらに絶縁膜8 f1、8 g1界面でのリーク電流の形成を抑制または防止できる。この場合、絶縁膜8 f1、8 g1は、互いに同一材料となるようにすることが好ましい。これにより、絶縁膜8 f1、8 g1の密着性を向上させることができ、絶縁膜8 f1、8 g1界面でのリーク電流の形成を抑制または防止できる。

【0141】また、図36では、埋込み第2層配線2の上面と、絶縁膜8 f1の上面(CMP面、絶縁膜8 f1、8 g1の界面)との間に段差の無い通常構造を例示しているが、前記実施の形態1~6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDDDB寿命を向上させることが可能となる。

【0142】また、図36では、導電性バリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDDB寿命を向上させることが可能となる。

【0143】(実施の形態10) 本実施の形態において、埋込み配線構造を構成する層間絶縁膜として銅の拡散を防止するバリア性を有する絶縁膜を用いる構造について説明する。

【0144】図37は、その一例を示している。図37 (a) は、図30と同一工程時(配線キヤップ用の絶縁膜を堆積後)の半導体装置の要部断面図、図37 (b) は図37 (a) の要部拡大断面図を示している。

【0145】本実施の形態では、埋込み配線構造を形成する絶縁膜(第1の絶縁膜) 8 p~8 rの材料として、例えばトリメチルシリラン(化学式=SiH(OCH₃)₃)ガスとN₂Oガスの混合ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiO₂、(ほぼSiO₂)、比誘電率=4.0)、トリメチルシリランとNH₃との混合ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiC_xN_y、比誘電率=4.3~5.0)またはトリメチルシリランとN₂H₄との混合ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiC_xN_y、比誘電率=4.3~5.0)がある。特に、上記トリメチルシリランとN₂H₄との混合ガスを用いたプラズマCVD法で形成された酸化シリコン膜(SiC_xN_y、比誘電率=4.3~5.0)は、銅の拡散を抑制または防止する材料として、上記バリア性を有する材料を選択することにより、さらに絶縁膜8 p、8 gの界面でのリーク電流の形成を抑制または防止できる。

【0146】また、配線キヤップ用の絶縁膜(第2の絶縁膜) 8 g、8 h、8 mの材料は、前記実施の形態で説明した材料を用いても良いが、前記絶縁膜8 p~8 rと同様にバリア性を有する材料を選択することにより、さらに絶縁膜8 p、8 gの界面および絶縁膜8 r、8 mの界面でのリーク電流の形成を抑制または防止できる。この場合も、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料とする。この場合、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料として、さらにTDDDB寿命を向上させることが可能となる。この場合も、絶縁膜8 p、8 g、絶縁膜8 q、8 hおよび絶縁膜8 r、8 mを、それぞれ互いに同一材料として、さらにTDDDB寿命を向上させることが可能となる。

【0147】また、図37では、埋込み第2層配線2の上面と、絶縁膜8 pの上面(CMP面、絶縁膜8 p、8 gの界面)との間に埋込み第3層配線3の上面と、絶縁膜8 rの上面(CMP面、絶縁膜8 r、8 mの界面)との間に段差の無い通常構造を例示しているが、前記実施の形態1~6で説明した埋込み配線構造を採用しても良い。これにより、さらにTDDDB寿命を向上させることが可能となる。

【0148】また、図37では、埋込み第2層配線2および埋込み第3層配線3の各々において導電性バリア膜15が設けられている場合を例示しているが、前記実施の形態3、5で説明したバリアレス埋込み配線構造としても良い。すなわち、埋込み配線を銅からなる主導体膜のみで構成しても良い。この場合、埋込み配線構造は、前記埋込み配線の上面とその周囲の絶縁膜の上面との間に段差を設ける本構造の場合と、その段差を設けない通常構造の場合とがある。いずれの場合もTDDDB寿命を向上させることが可能となる。

【0149】(実施の形態11) 前記実施の形態1において、埋込み配線構造を形成するためのCMP処理に際して、絶縁膜を含む研磨液(スラリー)を使用した化学機械研磨(有砥粒化学機械研磨)方法を用いた場合について説明する。

【0150】本実施の形態においては、そのCMP処理に際して、前記研磨液(スラリー)を使用して研磨する方法について説明する。

【0151】まず、前記図9に示したように主導体膜16を基板1の上面に完全に準備した後、これを低粒を含むスラリーを使用した化学機械研磨(砥粒フリー化学機械研磨)(第1ステップのCMP)法により除去する。

【0152】ここで砥粒フリー化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5%重量以下の研磨液(スラリー)を使用した化学機械研磨が少なくとも5倍以上となるようにその組成が調整されたものが好ましく、0.05重量%以下である。【0153】また、研磨液としては、銅の腐食液に属する導電性バリア膜15に対する主導体膜16の研磨選択比が少なくとも5以上となるようにその組成が調整されたものが使用される。このような研磨液として、酸化剤と有機酸とを含むスラリーを例示することができる。酸化剤としては、過酸化水素、水酸化アンモニウム、硝酸、リンゴ酸、塩化アンモニウムなどを例示することができ、有機酸としては、クエン酸、マロン酸、フマル酸、リンゴ酸、アジピン酸、安息香酸、フタル酸、酒石酸、乳酸、コハク酸、シユウ酸などを例示することができる。これらのうち、過酸化水素は金属成分を含まず、かつ強酸ではないため、研磨液に用いて好適な酸化剤である。

【0154】上記研磨液で化学機械研磨を行うと、まず銅表面が酸化剤によって酸化され、表面に薄い酸化膜が形成される。次に酸化物を水溶性化する物質が供給されると上記酸化膜が水溶液となって溶出し、上記酸化膜の厚さが減る。酸化膜が薄くなった部分は再度酸化性物質に曝されて酸化膜の厚さが増し、この反応を繰り返して化学機械研磨が進行する。なお、このような砥粒フリー研磨液を使用した化学機械研磨については、本発明者などによる日本特願平9-299937号および特願平10-317233号に詳しく記載されている。

【0155】研磨の条件は、一例として研磨=250 g/cm²、ウエハキヤップ回転数=30 rpm、定額回転数=25 rpm、スラリー流速=150 cc/minとし、研磨ヘッドは、米国ロードール(Rodel)社の硬質パッド(1C140)を使用する。研磨の終点は、主導体膜16が除去さ

れて下地の導電性バリア膜15が露出した時点とし、終点の抽出は、研磨対象が主導電性バリア膜15になったときに変化するときを定数またはウエハキャリヤの回転トルク信号強度を抽出することによって行う。また、研磨パッドの一部に穴を開け、基板1表面からの光反射スペクトル変化に基づいて終点を抽出したり、スラリの光学スペクトル変化に基づいて終点を抽出したりしてもよい。

【0156】この場合、上記の砥粒フリー化学機械研磨を行うことにより、配線層14の外部の主導電性バリア膜16は、研磨対象が主導電性バリア膜15が露出するが、下地段層に起因して生じた導電性バリア膜15の程みなどが、この研磨では除去されなかった主導電性バリア膜16が残留する。

【0157】そこで、配線層14の外部の導電性バリア膜16とその上面に局所的に残った主導電性バリア膜16とを除去するために、基板1に対して、砥粒を含む研磨液（スラリー）を使用した化学機械研磨（有砥粒化学機械研磨）を施す。ここで、有砥粒化学機械研磨とは、アルミナ、シリカなどの粉末からなる砥粒の含有量が0.5重量%よりも多い研磨液を使用した化学機械研磨を意味する。本実施の形態では、研磨液として純水に5体積%の過酸化水素、0.03重量%のクエン酸および0.5重量%の砥粒を混合したものを使用するが、これに限定されるものではない。この研磨液は、前記のスラリー供給管31uを通じて第2定数31c2の研磨パッド31pに供給される。

【0158】また、この有砥粒化学機械研磨において、導電性バリア膜15の上面に局所的に残った主導電性バリア膜16の除去に引き続いて、配線層14の外部の導電性バリア膜15を除去する。そこで、導電性バリア膜15に対する主導電性バリア膜16の研磨選択比が前記砥粒フリー化学機械研磨のそれよりも低い条件、例えば選択比3以下の条件で研磨を行い、配線層14の内部の主導電性バリア膜16の表面が研磨されるのを抑制する。

【0159】研磨の条件は、一例として荷重=120g/cm²、ウエハキャリヤ回転数=30rpm、定数回転数=25rpm、スラリー流量=150cc/minとし、研磨パッドは、ロデール社のIC1400を使用する。研磨量は導電性バリア膜15の膜厚相当分とし、研磨の終点は、導電性バリア膜15の膜厚および研磨速度から算出した時間によって制御する。

【0160】上記の有砥粒化学機械研磨を行うことにより、配線層14の外部の導電性バリア膜15は殆ど除去されて下地の絶縁膜8fが露出するが、下地段層に起因して生じた絶縁膜8fの上面の小さな窪みなどには、上記の研磨で除去されなかった導電性バリア膜15が残存する。

【0161】次に、配線層14の内部の主導電性バリア膜16の研磨を可能な限り抑制しつつ、配線層14の外部の絶縁

の高周波振動を加えて基板1の表面からスラリー残渣を遊離させるメカニク洗浄を併用してよい。次に、表面の乾燥を防ぐために基板1を湿潤状態に保持した状態で研磨処理部から後洗浄部に搬送し、第1洗浄部において0.1重量%のNH4OHを含む洗浄液を用いたスクラップ洗浄を行い、続いて第2洗浄部において純水を用いたスクラップ洗浄を行う。前記のように、後洗浄部は、洗浄中の基板1の表面に光が照射することに起因して、全込み第2層配線層2に腐食が発生するのを防ぐため、全体が遮光壁で覆われている。

【0167】上記スクラップ洗浄（後洗浄）が完了した基板1は、スピンドライヤ等で乾燥された後、次工程へ搬送される。その後の工程は前記実施の形態1と同様である。

【0168】本実施の形態によれば、前記実施の形態1の場合よりさらにTDDDB寿命を向上させることができ、なお、アンモニアプラズマ処理を行わず、砥粒フリーの化学機械研磨のみを行っただけでもTDDDB特性が改善することが本発明者らの検討により判明した。このように砥粒フリーの場合にTDDDB寿命が向上するのは酸化シリコン膜に与えるダメージを低減できるためと考えられる。有砥粒の場合、スラリーには2〜3μmの粒径（2次粒径）の砥粒（アルミナ等）が含まれる。この砥粒によりマイクロスクラッチが生じ、酸化シリコン膜（絶縁膜8f等）の表面にダメージを与え、しかし、砥粒フリーの場合にはスラリーに砥粒が含まれず、あるいはごく少数であるため、ダメージを大幅に低減できる。このため、TDDDB特性が改善されたものと考えられる。

【0169】（実施の形態12）本実施の形態において、前記実施の形態1のCMP後洗浄処理における砥粒洗浄処理に際して、薬液として前記有機酸を用いるか、またはアゾ酸と有機酸との混合薬液を用いる。これ以外は、前記実施の形態1と同じである。有機酸として、例えばクエン酸を用いた場合、たとえばプラズマスクラップ洗浄用、クエン酸濃度を5%、洗浄時間を45秒の条件で選択できる。

【0170】このように有機酸洗浄を用いることにより、CMP等で生じた表面のダメージ層を除去することができ、これによりTDDDB寿命を向上させる。また、有機酸を用いた場合、下地に影響を与えずに金、銅、銀、鉛等の不純物を選択的に除去することができ、K、Ca等の不純物を選択的に除去する。この場合、Fe、Cu等の不純物を除去する効果もある。すなわち、Fe、Cu等の不純物を除去することなく連続的に形成する場合には、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0172】前記実施の形態では、スクラップ洗浄後処理（プラズマ処理）後に真空乾燥することなく連続的に形成する場合について説明したが、後処理の後、一旦真空乾燥して、その後、スクラップ洗浄を行うことも可能である。

【0173】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMI S回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、フラッシュメモリ（EEPROM: Electric Erasable Programmable Read Only Memory）またはFRAM（Ferroelectric Random Access Memory）等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板上に設けている混成型半導体装置にも適用できる。本発明は、少なくとも微細化および集積化を進め、電子装置またはマイクロマシン等に適用可能である。

破膜をして、その後、キャップ膜を形成してもよい。真空破膜しない方が本発明の効果より効果的に得ることができ、後処理におけるアンモニアプラズマ処理により薄い酸化層が形成されるため、真空破膜を行わずに酸素雰囲気中において酸化層の形成を抑制できる。よって、真空破膜した場合であっても、本実施の形態の効果をおおむね達成することは可能である。

【0173】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMI S回路を有する半導体装置技術に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、フラッシュメモリ（EEPROM: Electric Erasable Programmable Read Only Memory）またはFRAM（Ferroelectric Random Access Memory）等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置または上記メモリ回路と論理回路とを同一半導体基板上に設けている混成型半導体装置にも適用できる。本発明は、少なくとも微細化および集積化を進め、電子装置またはマイクロマシン等に適用可能である。

【0174】【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0175】すなわち、銅を主導電体とする配線の電界集中箇所を、その周囲の絶縁膜の研磨面から隔断させることにより、銅を主導電体とする配線間の絶縁破壊耐性を向上させることが可能となる。

【図1】本願のTDDDB寿命測定に使用した材料を示し、(a)は平面図、(b)および(c)は(a)におけるB-B'線断面およびC-C'線断面を各々示す図面である。

【図2】測定の結果を示した説明図である。

【図3】各種層間絶縁膜材料を用いた場合の銅配線構造におけるTDDDB寿命の測定結果の説明図である。

【図4】配線間の絶縁膜としてSiLKを用いて実際に作成した配線構造の断面TEM写真の模式図である。

【図5】図4の断面TEM写真から実測面をデジタルシミュレータに入力して得られた電界分布の説明図である。

【図6】図5の埋込み配線近傍におけるY-Y'破線の電界分布の説明図である。

【図7】銅を主導電体とした埋込み配線構造において電界分布がCMP面に集中することを模式的に示した説明図である。

【図8】(a)は本発明の一実施の形態である半導体装置の製造工程における要部平面図、(b)は(a)の

X1-X1線の断面図である。

【図9】図8に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図10】図9に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図11】図10に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図12】(a)は図11に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。(b)は(a)の要部拡大断面図である。

【図13】図12に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図14】図13に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図15】図14に続く半導体装置の製造工程における図8(a)のX1-X1線に相当する部分の断面図である。

【図16】(a)は図15の要部拡大断面図、(b)は(a)の要部拡大断面図である。

【図17】(a)は電界強度とリーク電流との関係と構造と通常構造とで比較したグラフ、(b)は電界強度とTDD寿命との関係を本構造と通常構造とで比較したグラフ図である。

【図18】本発明の他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)における要部拡大断面図である。

【図19】(a)は本発明の他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)における要部断面図、(b)は(a)の要部拡大断面図である。

【図20】(a)は、本発明の他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図21】図20(b)の変形例を示す半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図22】(a)および(b)は図20の半導体装置のエッチング工程時の要部断面図である。

【図23】(a)は、本発明の他の実施の形態における半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図24】本発明の他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部

拡大断面図である。

【図25】(a)は、本発明のさらに他の実施の形態である半導体装置の製造工程における要部断面図、(b)は(a)のX2-X2線の断面図である。

【図26】図25に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図27】図26に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図28】図27に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図29】図28の要部拡大断面図である。

【図30】図28および図29に続く半導体装置の製造工程における図24(a)のX2-X2線に相当する部分の断面図である。

【図31】図30の要部拡大断面図である。

【図32】本発明のさらに他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部拡大断面図である。

【図33】図32の要部拡大断面図である。

【図34】(a)は、半導体装置の製造工程(キャップ用の絶縁膜の堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図35】(a)は、本発明の他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

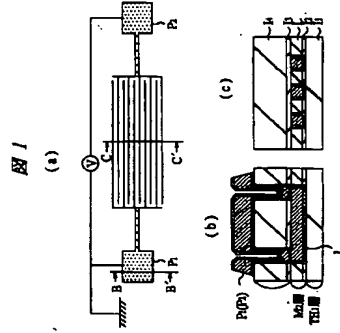
【図36】(a)は、本発明のさらに他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

【図37】(a)は、本発明のさらに他の実施の形態である半導体装置の製造工程(キャップ用の絶縁膜を堆積工程後)の要部断面図、(b)は(a)の要部拡大断面図である。

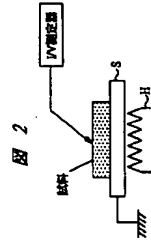
【符号の説明】
1 基板
2 分離部
3 ゲート絶縁膜
4 ゲート電極
5 サイドウォール
6, 7 半導体領域
8 a~8m, 8p~8r 絶縁膜
9 コンタクトホール
10 プラグ
11 スルーホール
12 プラグ
13 プラグ
14 配線溝(配線開口部)

- 15 導電性バリア膜(第1の導体膜)
- 16 主導体膜(第2の導体膜)
- 17 スルーホール(配線開口部)
- 18 配線溝(配線開口部)
- 50~54 絶縁膜
- 55 配線溝
- 56 埋込み配線
- L 樹形配線
- M2 第2層配線
- P1, P2 バッド
- S 測定ステージ
- H ヒータ
- Qp pチャネル型のMIS-FET
- Qn nチャネル型のMIS-FET
- PWL p型ウエル
- NWL n型ウエル
- L1 第1層配線
- L2 埋込み第2層配線(配線)
- L3 埋込み第3層配線(配線)

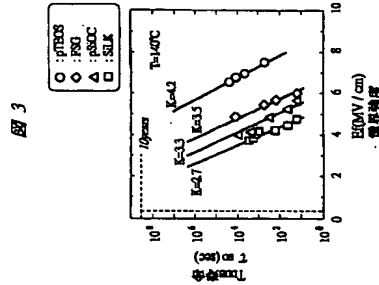
【図1】



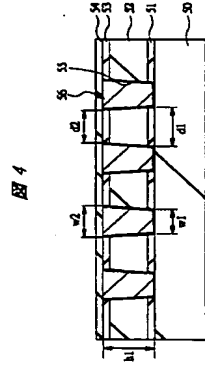
【図2】



【図3】

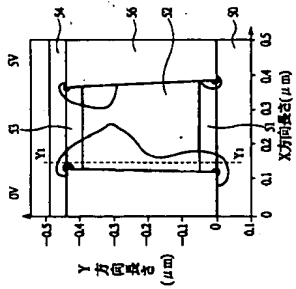


【図4】



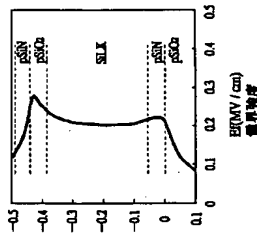
【図5】

図5



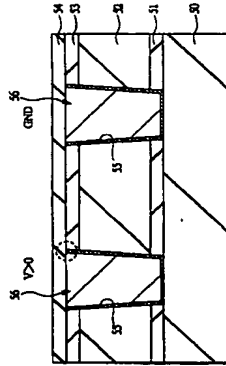
【図6】

図6



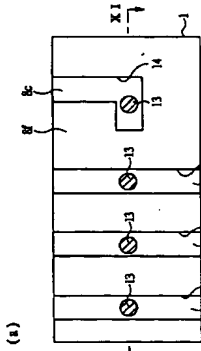
【図7】

図7



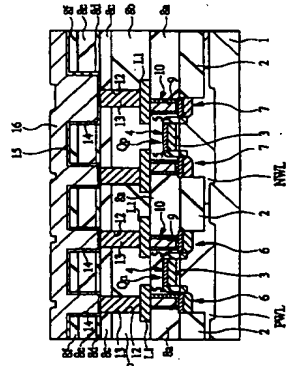
【図8】

図8



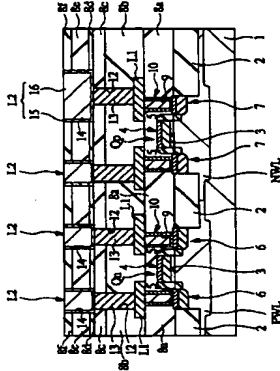
【図9】

図9



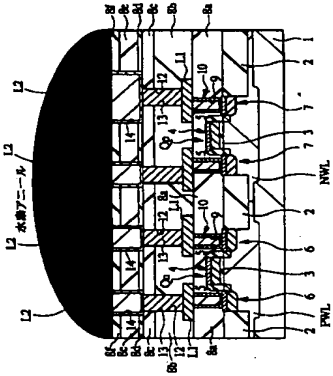
【図10】

図10



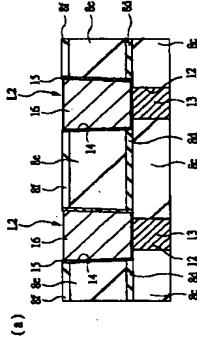
【図11】

図11



【図12】

図12

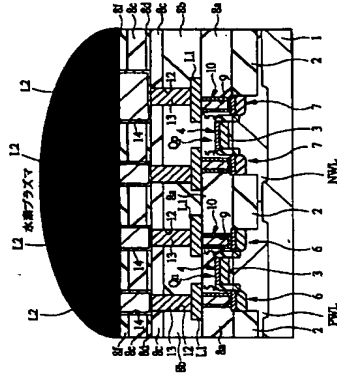


(a)

(b)

【図13】

図13

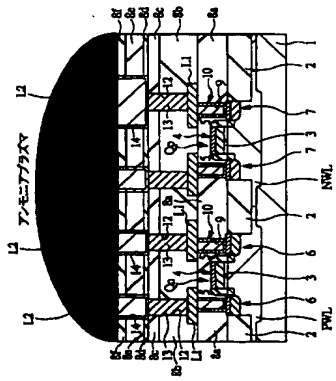


(a)

(b)

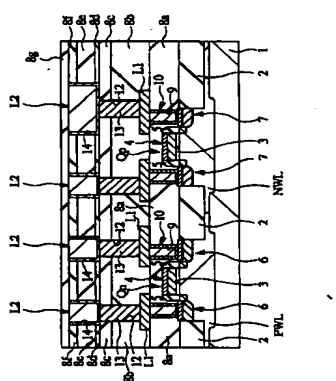
【図14】

図14



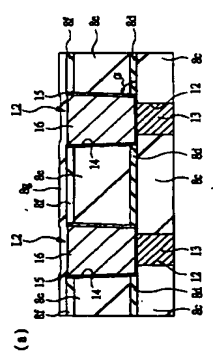
【図15】

図15



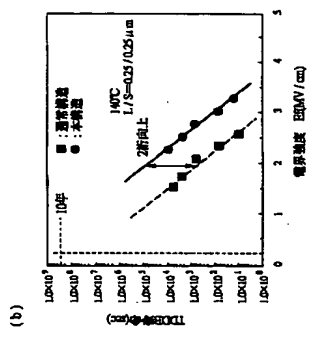
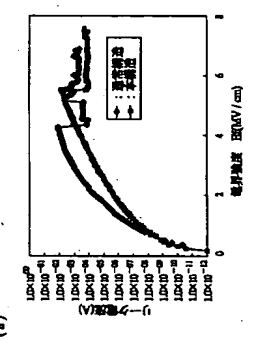
【図16】

図16



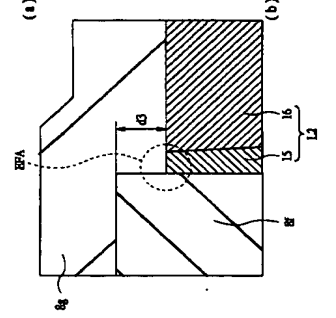
【図17】

図17



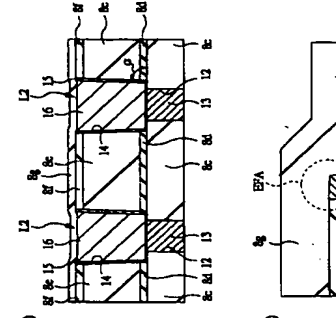
【図18】

図18



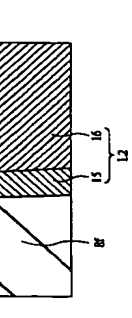
【図19】

図19



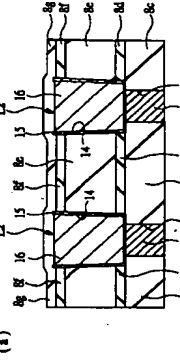
【図20】

図20



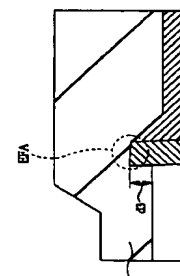
【図21】

図21



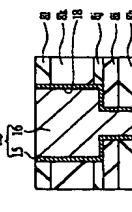
【図22】

図22



【図27】

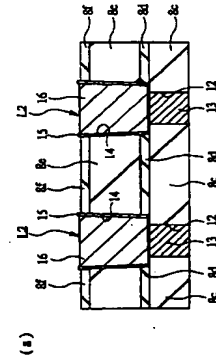
図27



14: 絶縁膜
 15: 絶縁膜
 16: 絶縁膜
 17: 絶縁膜
 18: 絶縁膜
 19: 絶縁膜
 20: 絶縁膜
 21: 絶縁膜
 22: 絶縁膜
 23: 絶縁膜
 24: 絶縁膜
 25: 絶縁膜
 26: 絶縁膜
 27: 絶縁膜
 28: 絶縁膜
 29: 絶縁膜
 30: 絶縁膜
 31: 絶縁膜
 32: 絶縁膜
 33: 絶縁膜
 34: 絶縁膜
 35: 絶縁膜
 36: 絶縁膜
 37: 絶縁膜
 38: 絶縁膜
 39: 絶縁膜
 40: 絶縁膜
 41: 絶縁膜
 42: 絶縁膜
 43: 絶縁膜
 44: 絶縁膜
 45: 絶縁膜
 46: 絶縁膜
 47: 絶縁膜
 48: 絶縁膜
 49: 絶縁膜
 50: 絶縁膜
 51: 絶縁膜
 52: 絶縁膜
 53: 絶縁膜
 54: 絶縁膜
 55: 絶縁膜
 56: 絶縁膜
 57: 絶縁膜
 58: 絶縁膜
 59: 絶縁膜
 60: 絶縁膜
 61: 絶縁膜
 62: 絶縁膜
 63: 絶縁膜
 64: 絶縁膜
 65: 絶縁膜
 66: 絶縁膜
 67: 絶縁膜
 68: 絶縁膜
 69: 絶縁膜
 70: 絶縁膜
 71: 絶縁膜
 72: 絶縁膜
 73: 絶縁膜
 74: 絶縁膜
 75: 絶縁膜
 76: 絶縁膜
 77: 絶縁膜
 78: 絶縁膜
 79: 絶縁膜
 80: 絶縁膜
 81: 絶縁膜
 82: 絶縁膜
 83: 絶縁膜
 84: 絶縁膜
 85: 絶縁膜
 86: 絶縁膜
 87: 絶縁膜
 88: 絶縁膜
 89: 絶縁膜
 90: 絶縁膜
 91: 絶縁膜
 92: 絶縁膜
 93: 絶縁膜
 94: 絶縁膜
 95: 絶縁膜
 96: 絶縁膜
 97: 絶縁膜
 98: 絶縁膜
 99: 絶縁膜
 100: 絶縁膜

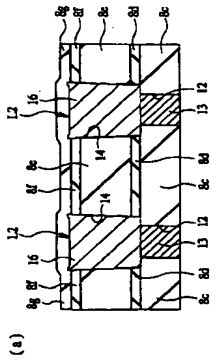
【図22】

図22

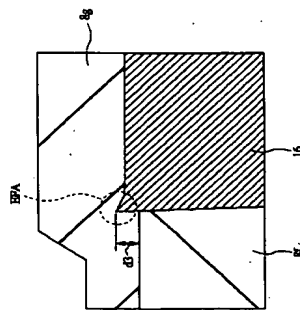


【図23】

図23

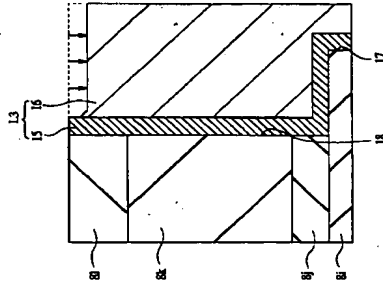


(b)



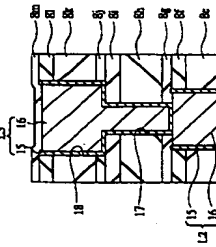
【図29】

図29



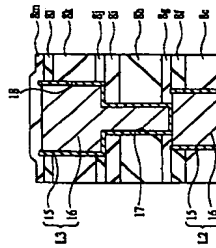
【図30】

図30



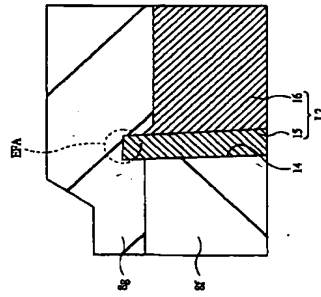
【図32】

図32



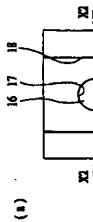
【図24】

図24



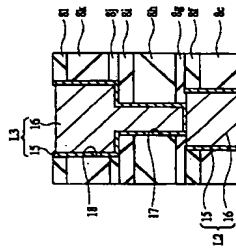
【図25】

図25



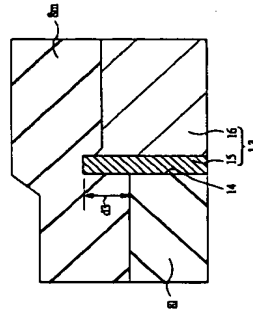
【図28】

図28



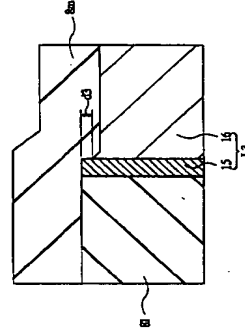
【図33】

図33



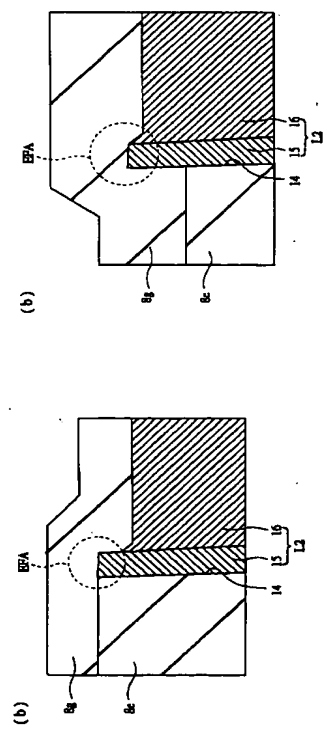
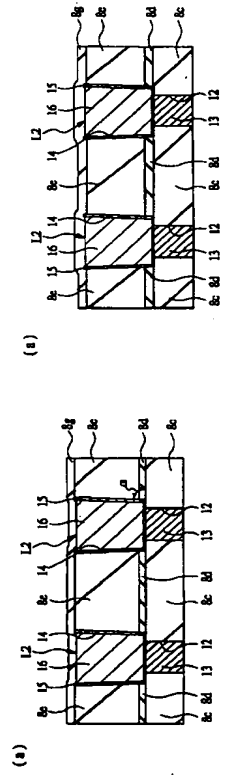
【図31】

図31



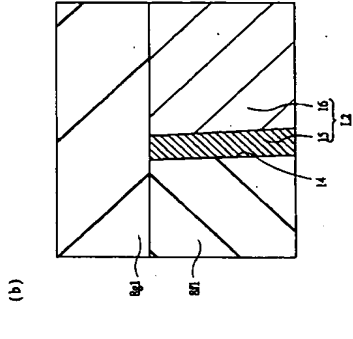
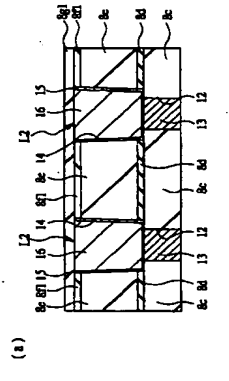
【図34】

図34



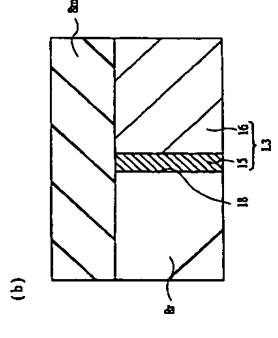
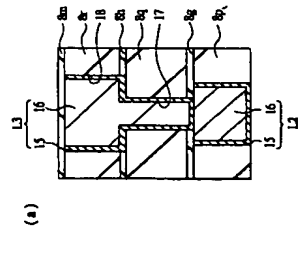
【図36】

図36



【図37】

図37



フロントページの続き

(72)発明者 大橋 直史
 東京都青島市新町六丁目16番地の3 株式会社日立製作所デバイス開発センター内

- Fターム(参考) 5F033 G03 G04 HH04 HH11 HH18
 HH19 HH21 HH23 HH27 HH32
 HH33 HH34 JJ19 JJ33 KK03
 KK19 KK25 KK27 MM01 MM02
 MM07 MM12 MM13 MM17 NN06
 NN07 PP06 PP15 PP21 PP22
 PP27 PP28 QQ08 QQ09 QQ10
 QQ11 QQ21 QQ25 QQ35 QQ37
 QQ48 QQ73 QQ75 QQ78 QQ91
 QQ93 QQ98 RR01 RR04 RR06
 RR09 RR11 RR15 RR21 SS03
 SS04 SS11 SS15 SS21 VV15
 VV16 XX00 XX31
 5F048 AA07 AB01 AC03 BA01 BB05
 BB08 BB09 BB11 BB12 BC06
 BC03 BF01 BF06 BF07 BF16
 BG14 DA25